

特開平6-214214

(43) 公開日 平成6年(1994)8月5日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	9228—2K		
G 0 9 C 3/36		7319—5G		

審査請求 未請求 請求項の数 7 O L (全 10 頁)

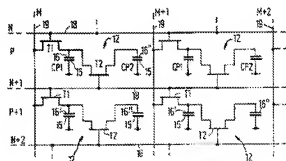
(21) 出願番号	特願平5-279609	(71) 出願人	592095322 フィリップス エレクトロニクス ネムロー ゼ フェンノートシャップ PHILIPS ELECTRONICS NEAMLOZE VENNOTSH AP オランダ国 5621 ペーアー アイन्दール フェン フルネゲヴァツツウェッハ 1
(22) 出願日	平成5年(1993)11月9日	(72) 発明者	マーチン ジョン エドワーズ イギリス国 サセックス クローレイ ウ エスト グリーン スペンサーズ ロード 78
(31) 優先権主張番号	9 2 2 3 6 9 7 : 5	(74) 代理人	弁理士 杉村 晴秀 (外5名)
(32) 優先日	1992年11月12日		
(33) 優先権主張国	イギリス (G B)		

(54) 【発明の名称】 能動マトリクス表示装置

(57) 【要約】 (修正有)

【構成】 画素素子 12 の行列配置を有し、その行列配置に、行および列の導線 18、19 介し、行および列の駆動回路によって駆動する容量性表示素子、例えば液晶素子を備えた能動マトリクス表示装置において、列駆動回路が多ビット・デジタルデータ信号を列導線 19 に供給するとともに、各画素素子を、表示素子に必要なアナログ電圧を供給する階次電荷再配分デジタル・アナログ変換器回路として構成する。変換器回路には 2 個のスイッチ素子 T1、T2、例えば、TFT スイッチおよび各表示素子を 2 個の副表示素子 CP1、CP2 に分割して得た 2 個の容量素子を備える。各行導線 18 は、相隣る 2 行の画素素子群の間で共有する。

【効果】 表示素子群を駆動する回路を完全にデジタル化し、表示パネルと同一基板上に集積化するなどして製造を容易にする。



【特許請求の範囲】

【請求項1】 一群の行導線および列導線と、それぞれ容量性表示素子並びに前記行導線および前記列導線に接続したスイッチ素子を備えた画素素子の行列配置と、前記行導線にスイッチ信号を印加する行駆動回路、前記列導線に接続して当該列導線にデータ信号を印加する列駆動回路および前記データ信号を取出し列駆動回路にデジタル画像情報信号を供給する手段を備えて前記画素素子群を駆動する駆動手段とを具備した能動マトリクス表示装置において、前記列駆動回路が多ビット・デジタル信号を前記列導線に供給するように作動し得るとともに、各前記画素素子における前記表示素子および前記スイッチ素子が前記列導線上の多ビット・デジタルデータ信号を前記表示素子のためのアナログ電圧に変換する順次電荷再配分デジタル・アナログ変換回路のそれぞれ一部をなすことを特徴とする能動マトリクス表示装置。

【請求項2】 各前記画素素子における前記表示素子がそれぞれ前記変換回路の容量成分をなす少なくとも2個の副素子からなることを特徴とする請求項1記載の能動マトリクス表示装置。

【請求項3】 各前記変換回路が2個の容量素子および2個の前記スイッチ素子を備えるとともに、前記各ビット・データ信号のビット数に比した所定の時系列で前記スイッチ素子を作動させるためのスイッチ信号をそれぞれ前記行導線を介して前記2個のスイッチ素子に供給するように作動し得ることを特徴とする請求項1または2記載の能動マトリクス表示装置。

【請求項4】 一つの行中の前記画素素子の前記変換回路における第1の前記スイッチ素子をそれぞれ当該行の行導線に接続するとともに、当該画素素子の当該変換回路における第2の前記スイッチ素子を隣接した行中の前記画素素子における前記第1のスイッチ素子を接続した他の前記行導線に接続することを特徴とする請求項3記載の能動マトリクス表示装置。

【請求項5】 前記行駆動回路が二つの行中の前記画素素子における前記スイッチ素子を時系列で作動させるためのスイッチ信号を共通のアドレス期間中に供給するとともに、前記列駆動回路が当該二つの行中の各前記画素素子のための多ビット・デジタルデータ信号を、一方の多ビット・デジタルデータ信号中の各ビットが他方の多ビット・デジタルデータ信号中の各ビットと交互に関与するようにして、前記共通のアドレス期間中に供給することを特徴とする請求項3または4記載の能動マトリクス表示装置。

【請求項6】 多ビット・デジタルデータ信号における個々の各ビットが2個の所定電圧レベルのいずれか一方を有することを特徴とする請求項1乃至5のいずれかに記載の能動マトリクス表示装置。

【請求項7】 多ビット・デジタルデータ信号にお

る個々の各ビットが2個より多いn個の所定電圧レベルのいずれか1個を有することを特徴とする請求項1乃至5のいずれかに記載の能動マトリクス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一群の行導線および列導線と、それぞれ容量性表示素子並びに前記行導線および前記列導線に接続したスイッチ素子を備えた画素素子の行列配置と、前記行導線にスイッチ信号を印加する行駆動回路、前記列導線に接続して当該列導線にデータ信号を印加する列駆動回路および前記データ信号を取出し列駆動回路にデジタル画像情報信号を供給する手段を備えて前記画素素子群を駆動する駆動手段とを具備した能動マトリクス表示装置に関するものである。

【0002】

【従来の技術】 この種の能動マトリクス表示装置、特に、液晶表示素子を備えたこの種の表示装置は欧州特許公開公報E P-A-0391654号に記載されている。

【0003】 デジタル画像情報信号すなわちデジタル映像信号で動作する列駆動回路を有する表示装置は、特に、データ・グラフィック表示装置などの特定の応用分野において、アナログ映像信号で動作する表示装置より優れた利点を発揮することができる。デジタル映像信号はデジタル映像処理回路によって得られるが、デジタル映像処理回路はアナログ映像処理回路より柔軟性が過かに大きい。デジタル映像信号は、その積りになれば、例えばコンピュータのRAM記憶装置から供給することもでき、あるいは、アナログ・テレビジョン映像信号をデジタル形式に変換しても供給することができる。

【0004】 上述の欧州特許公開公報に記載の表示装置は、画素素子を行列配置した従来型のTFT（薄膜トランジスタ）液晶表示パネルを備えており、各画素素子は、TFTを備えて、一群の行導線および列導線を介し、各行導線に印加した選択信号によりアドレスし、各行導線に組合わせた画素素子におけるTFTスイッチを閉じて列導線上のデータ信号を各画素素子に転送するようにになっている。

【0005】 上記公報に記載の表示装置における列駆動回路においては、デジタル映像信号を振幅変調のアナログデータ信号に変換し、そのアナログデータ信号を表示パネルの列導線、言い、TFTスイッチを介して表示素子に印加し、液晶表示素子の駆動に必要なアナログ電圧を供給している。このアナログ電圧の振幅が、表示素子がなす表示の効果、例えばグレースケールを決定する。列駆動回路におけるデジタル・アナログ変換には多ビット・デジタル信号のパルス幅変調パルス信号、例えば、パルス幅が多ビット・デジタル信号によって決まるパルス列への変換が含まれており、かかるパルス幅変調パルス列により時間的に変化する基準電圧をサン

プルし、時間依存信号の時間幅によって振幅が決まるデータ信号をサンプル出力電圧によって構成する。

【0006】

【発明が解決しようとする課題】かかる従来の表示装置は、入力デジタル映像信号によって作動しするが、幾多の欠点を有している。列駆動回路は、純粋のデジタル回路ではなく、デジタル回路とアナログ回路とが混在しており、アナログ回路部分が列駆動回路の性能に制限を課するおそれがある。しかも、かかる構成の回路は、デジタル回路素子とアナログ回路素子との両方を用意する必要があるので製造工程が複雑になり、TFTスイッチを用いて適切な性能を呈するアナログ回路は一般に製造がさらに困難であるから、駆動回路を表示パネル内で十分に集積回路化するとともに、TFTスイッチを用いた表示パネルの構成要素と同時に製造する場合に特に不利である。

【0007】

【課題を解決するための手段】本発明の目的は、上述した幾多の欠点をなくともある程度は改善し得るように改良した、入力デジタル映像情報信号によって作動可能な表示装置を提供することにある。

【0008】本発明の他の目的は、列駆動回路が比較的簡単な、高速で作動し得る、デジタル画像情報信号によって作動する表示装置を提供することにある。

【0009】本発明が提供する留頭に記載した種類の能動マトリックス表示装置は、前記列駆動回路が多ビット・デジタル信号を前記列導線に供給するように作動し得るとともに、各前記画素素子における前記表示素子および前記スイッチ素子が前記列導線上の多ビット・デジタルデータ信号を前記表示素子のためのアナログ電圧に変換する順次電荷再配分デジタル・アナログ変換器回路のそれぞれ一部をなすことを特徴とする。

【0010】したがって、アドレスした画素素子における表示素子に加わる電圧、延いては、生ずる表示の効果、例えばグレースケールが、多ビット・デジタルデータ信号によって決まることになる。かかる技法により、デジタル映像情報信号すなわち映像信号の電光変換材料、例えば液晶に必要なアナログ信号への変換が画素素子群中で行なわれる。したがって、デジタル映像信号を、列導線に供給するに先立ち、前述した欧州特許公開公報の記載のように、列駆動回路でレベル幅変調信号に、次いで、振幅変調のアナログ信号に変換する必要がなくなる。結局、必要とする列駆動回路がかかり簡単になり、純粋のデジタル回路によって容易に構成し得るようになることは重要である。このことは、表示素子と組合わせて同時に製造する例えばTFTを用いるので、アナログ処理工程が含まれていて十分に達成し難い、表示パネルの基板上的列駆動回路の集積回路化にとって特に重要である。さらに、純粋にデジタル化した列駆動回路は、アナログ回路の存在によって減せられ

る種類の制限なしに、比較的高速の動作が可能となる。デジタル・アナログ変換の機能を画素素子群に有効に移すことにより、アナログ回路は、映像データの速度よりかなり低速で動作する場合にだけ必要とするに過ぎなくなり、デジタル列駆動回路の高速性が十分に発揮されるようになる。

【0011】順次電荷再配分デジタル・アナログ変換器回路自体は周知のものである。かかる回路の例およびその作動理論は、IEEEジャーナル・固体回路編、1975年12月、379頁乃至385頁に記載のR. E. Suarez他著「A11-MOS電荷再配分アナログ・デジタル変換技術—第2部」と題する論文、および、ホルト・ラインハート・ウィンスン社、1987年、P. E. Allen、D. R. Holberg共著の「CMOSアナログ回路設計」と題する書籍の544頁乃至550頁に記載されている。

【0012】この種の交換器回路は、一般に、少なくとも2個のスイッチと2個の容量素子とを備えている。本発明においては、スイッチ素子、例えばTFTスイッチ素子および画素素子における表示素子を変換器回路におけるスイッチおよび容量素子として利用する。変換器回路にさらに1個もしくはそれ以上のスイッチを必要とする場合には、画素素子の位置に余分のTFTスイッチ素子をはめ込めばよい。

【0013】表示素子は、それ自体、変換器回路における容量素子の一つを構成し、その他の容量素子は、基板上にスイッチ素子とともに容量素子を構成する薄膜絶縁構造を製作することによって変換器回路に設けることができる。しかしながら、好ましくは、各画素素子における表示素子に少なくとも2個の表示素子素子を設け、そのそれぞれが変換器回路の容量素子を構成するようにする。したがって、必要とする容量素子は、表示素子が簡単なかつ便利に構成するので、変換器回路のために余分な容量素子を製造する必要がなくなる。しかも、このようにして設ける容量素子は容量値の決定が容易である。容量値がほぼ等しい2個の容量素子を設けるには、表示素子を、簡単に、ほぼ等しい面積の2個の副素子に分割する。副素子の面積したがって容量値は、等しにする必要がないばかりでなく、例えばスイッチ素子と組合わさって回路に生ずる寄生容量の影響を補償するのみに留らせることもできる。表示素子の2個もしくはそれ以上の副素子へのかかる分割は、各画素素子毎に、通常のようないくつかの画素素子に分離した2個もしくはそれ以上の領域を形成するように電極層を被覆することによって達成することができる。多数の表示素子素子を形成するための装置における各表示素子の分割は、従来、液晶表示装置における他の目的、例えば、副素子群を個々に付勢し得るようとして表示出力におけるグレースケールを制御する手段として用いられていた。

【0014】本発明の好適な実施例においては、変換器

回路に2個の容量素子および2個のスイッチ素子を設けてある。かかる回路は各表示素子毎に2個の細素子を設けることによって都合よく実現することができ、2個の細素子がそれぞれ容量素子を構成するとともに、2個のスイッチ素子、例えばTFTスイッチ素子を構成するが、スイッチ素子の一つは能動マトリクス表示装置に普通に存在しているスイッチ素子によって構成する。したがって、変換器回路の成分要素を揃えるには余分のスイッチ素子、例えばTFTスイッチ素子を1個だけ必要とする。各画素素子毎の1個のスイッチ素子の追加は、製造工程を不当に複雑化するものではない。従来知られているように、表示装置の各画素素子毎に2個のスイッチ素子、例えばTFTスイッチ素子を設けることは、誤った余裕を目的としたものである。変換器回路に必要な副素子群、スイッチ素子群、および行列各導線群相互間の接続は、従来の画素素子回路におけると同様に、導電層群を適切に区画することによって簡単に設けることができる。

【0015】順次電荷再配分デジタル・アナログ変換器回路を動作させるには、当該回路のスイッチ素子群を所定の時系列で開閉させる。そのためには、行毎の画素素子群に対応した変換器回路中のスイッチ素子群をそれぞれの行導線に接続するとともに、その行導線群に対して行駆動回路により適切な時系列でスイッチ信号を印加すればよい。したがって、各行の画素素子群に対する変換器回路中の2個のスイッチ素子をアドレスするには別々の2本の行導線が必要となる。しかしながら、好ましくは、行導線の本数を最少にするために、各行の画素素子群に対する各変換器回路中の第1のスイッチ素子をそれぞれの行導線に接続するとともに、当該画素素子群に対する各変換器回路中の第2のスイッチ素子を、隣接行の画素素子群に対する各変換器回路中の第1のスイッチ素子を接続した他の行導線に接続する。したがって、各行導線は、第1行と最終行との画素素子群を除き、隣接行の画素素子群間で共用することになる。したがって、行導線の本数は、画素素子群の行列範囲における行数に対応し、第1行もしくは最終行に対して余分の行導線が必要とすることになる。

【0016】各行の画素素子群は、順次にアドレスして、一つの行の画素素子群に対するデジタル・データ信号を列導線群に印加した後に、次の行の画素素子群に対するデジタル・データ信号を列導線群に印加し、以下同様に行うことができる。一つの行のアドレス期間中、その行の各画素素子における2個のスイッチ素子が交互に動作して、第1動作でデータ信号を変換器回路に負荷し、第2動作で電荷分担を行なう。利用可能な電荷注入期間は、入映像信号のライン走査周期および多ビット・データ信号のビット数によって決まるので、限度がある。したがって、都合よく、行駆動回路が、二つの行の画素素子群におけるスイッチ素子を、共通のアド

レス制御順次に動作させるスイッチ信号を供給し、列駆動回路が、各列導線毎に、当該共通のアドレス期間中、当該二行の各画素素子に対する多ビット・デジタル・データを供給し、一方の多ビット・デジタル・データのビット群が他方の多ビット・デジタル・データのビット群と交互に入り混ざるようにする。2行の画素素子群を同じアドレス期間中に並列にアドレスするのであるから、各行のアドレスに用い得る時間、したがって、電荷注入時間を倍増させることができる。ここで留意すべきは、ある行の画素素子群に対して、変換器回路における第1のスイッチ素子がある間隔をおいて周期的に動作し、その周期間隔が第2のスイッチ素子の動作している期間であることである。したがって、例えば、二つの行それぞれの画素素子群に割当て二つのデータ信号の各ビットを交互に開入させて、その二つの行の画素素子群に組合わせた行導線に、同期した適切な時系列で、スイッチ信号を与えることにより、利用可能な時間を一層効率的に使用することになる。

【0017】多ビット・デジタル・データ信号における個々のビットは、二つの所定電圧レベルのいずれか一つをそれぞれ有している。かかる個々のビットの個数は、所要の解像度に応じて、例えば4、6もしくは8とすることができ、高解像度に対しては、さらに多くのビット数を必要とする。同時に、個々の電荷注入時間を低減させるようにスイッチ素子の性能を増大させる必要がある。必ずしも個々の電荷注入時間を低減させる必要なしに、デジタル・アナログ変換の解像度を増大させるには、多ビット・デジタル・データ信号の各ビットが、2より大きい n について n 段階の所定レベルのいずれか一つを有するようにすることができる。したがって、各ビットは、取り得る3段階乃至4段階の電圧レベルの一つを有することになる。例えば、取り得る電圧レベルを4段階に増大させると、変換の解像度は2の乗数によって増大することになる。かかる目的のために、列駆動回路において発生させる多ビット・データ信号における各ビットを、デジタル・アナログ変換の各段階毎に、如何なる電圧レベルを列導線に印加するかを決定するに用いる。例えば、列駆動回路において発生させた8ビット・データ信号について、4ビットを取り得る4段階の電圧レベルのいずれか1段階を決定するとともに、残余の4ビットを適切に決定した電圧レベルで画素素子に供給してデジタル・アナログ変換を施す。

【0018】

【作用】したがって、本発明能動マトリクス表示装置においては、表示画素自体にも変換機能をもたせた簡単な構成のデジタル・アナログ変換器により効率的に高速のデジタル画像情報信号の表示を行うことが可能となる。

【0019】

【実施例】以下に図面を参照して実施例につき本発明を

詳細に説明する。

【0020】図1に示すように、本発明による能動マトリクス液晶表示装置は、表示領域14を構成する液晶画素素子12の行列配置を有する表示パネルを備えている。画素素子12は、相互間に被着したTN液晶材料を挟んで周知した2枚の偏光基板の対向面に離隔してそれぞれ設けた電極を有する容量性表示素子を含んでいる。一方の基板上の表示素子電極は、行列配した全表示素子に共通の連続した反対電極層の各領域によって構成してある。表示素子群における他方の電極は、画素素子におけるTFTの形態のスイッチ素子とともに他方の基板に設けた個別の電極からなっている。行列配の各画素素子12は、基板上に個々の表示素子電極とともに設けた行導線18および列導線19の群を介してアドレスするが、各要素素子は行導線と列導線との各交点にそれぞれ近接して配置する。各行の画素素子群はそれぞれ別の行導線18に接続しており、各行導線は、最先および最終の行導線を除き、隣接2行間の画素素子群に接続してある。同じ列に関する全画素素子群はそれぞれの列導線19に接続してある。行列配置には、 r 行および c 列の画素素子、したがって、合計 $r \times c$ 個の画素素子を備えている。多くの点で表示パネルは、一般に、従来の能動マトリクス・TFT・液晶表示パネルにその構成が類似しており、したがって、その詳細はここには記載しない。

【0021】画素素子の行列配置は、行駆動回路21を含めて周知に駆動手段によって駆動し、行駆動回路21は、画素素子群の各行を、以下に記載するようなパルス波形信号を順次の行導線18に印加することによって順次に走査し、かかる走査を順次のフィールド間隔毎に繰返す。そのために、行駆動回路は、TFT表示パネルで各行導線に選択パルスすなわちゲートパルスを加えるためだけの従来の行駆動回路とは異なる構成にしてある。行駆動回路21は、映像信号処理回路50からデジタル映像信号を供給したタイミング制御回路23からバス24を介して供給するタイミング信号によって制御する。タイミング制御回路23は、スイッチパルス波形のレベルを決めるに必要な電圧レベルをも供給する。

【0022】行列配置周辺の駆動手段には、さらに、列駆動回路25も含めてあり、列駆動回路25は、タイミング制御回路23からバス26を介してデジタル映像信号すなわちデジタル画像情報信号を受けて、多ビット・デジタル信号の形態のデータ信号を各映像導線に対し並列にして列導線19の群に印加する。

【0023】従来のアナログ列駆動回路におけると同様に、画素素子の行列配置に対する映像情報の密度とは、走査線順次に、すなわち行順次に行なわれ、列駆動回路が、ある走査線の映像情報をサンプルすると、引継ぎ、その映像情報が選択された行の画素素子群に書込まれるが、選択される行の識別は行駆動回路によって行なわれ

る。

【0024】デジタル映像信号を処理する列駆動回路自体は、例えば、前述した欧州特許公開公报P-A-0381654号に記載されているように公知であり、この点に関するその記載内容を参考までに引用する。しかしながら、かかる周知の回路においては、列駆動回路で得たデジタル・データ信号をその列駆動回路でアナログ・データ信号に変換し、次いで、そのアナログ・データ信号を列導線に印加して画素素子群に転送する。本発明における列駆動回路25は、デジタル・アナログ変換回路が存在せず、その代わりに、多ビット・デジタル・データ信号を直接に列導線群に供給する点で、上述した従来の周知の列駆動回路とは相違している。そのために、多ビット・デジタル・データ信号群は、各列導線に対し、並列ではなく、順次に印加する点を除き、例えば上述の欧州特許公開公报に記載の列駆動回路におけるデジタル・データ・メモリ回路の出力端から得られるのと同様にして列駆動回路25から取出される。所要の多ビット信号を列導線群に供給するための列駆動回路のその他の構成は、当業者に自明のものを採用することができる。

【0025】簡単のために、この実施例においては、表示装置が白黒表示装置であるものとする。白黒表示装置は、画素素子の行列配置に三原色(赤、緑、青)マイクロフィルタの行列配置を組合わせれば全色表示装置とすることができる。その場合には、例えば前述の欧州特許公開公报に記載されている種類のの方法を用いて、赤、緑、青のデジタル映像信号入力を周知のように処理し得るように列駆動回路を適切に修正する。

【0026】各画素素子12は、列導線を介して印加された多ビット・デジタル・データ信号を表示素子で用いるアナログ電圧値に変換するように作動する順次電荷再配分デジタル・アナログ変換回路を備えている。図2には、画素素子の行列配置における典型的な画素素子群の回路構成を模式的に示してあり、この画素素子群は、M列とM+1列との隣接した2列およびP行とP+1行との順次の2行における画素素子12からなっている。行導線および列導線を設けた単一基板上の画素素子における表示素子電極は誘電体を備えており、各表示素子12に、ほぼ同面積の副電極片16'および16''があり、その副電極片16'および16''が副基板に設けた共通電極15に対向してほぼ等しい容量値を有する2個の副表示素子C P1およびC P2を構成している。要するに、通常の形態の表示素子は、互いに分離した2部分に分割されている。表示素子として信号電荷蓄積用容量素子を備えた表示パネルにおいては、蓄積用容量素子を、それぞれ副表示素子と組合わせてほぼ等しい容量値を呈する2個の独立素子に同様に分割してある。

【0027】各画素素子は、さらに、行導線および列導線と同じ基板上に設けたTFTスイッチP1およびP2

を備えている。P行の画素素子群におけるTFTスイッチT1は、各ゲート電極をそれぞれ列導線Nに接続するとともに、各ソース電極をそれぞれの列導線Nに接続してある。各TFTスイッチP1のドレイン電極は、組合わせた副表示素子C P1の副電極16''に接続するとともにTFTスイッチP2のソース電極に接続してある。TFTスイッチP2のドレイン電極は、組合わせた副表示素子C P2の副電極16''に接続してある。TFTスイッチP2のゲート電極は、隣接した次の行導線N+1に接続してあり、その行導線N+1には、行列配置における次の行の画素素子群のTFTスイッチP1のゲート電極も接続してある。各行の画素素子群におけるTFTスイッチP1およびP2は、このようにして、それぞれ隣接する次の行導線にそれぞれ接続してあり、各行導線は、最上および最下のもをを除き、このようにして、2行の画素素子群に接続してある。各TFTスイッチ、各副表示素子並びに各行導線および各列導線の相互接続は、少なくとも一層に被着した導電性材料の透明なパターンによって製作する。各画素素子における副表示素子すなわち容量素子C P1およびC P2並びにTFTスイッチP1およびP2とからなる回路装置は、順次電荷再配分デジタル・アナログ変換器回路を構成している。

【0028】2個の副表示素子C P1とC P2とは、ほぼ等しい面積、したがって、ほぼ等しい容量値を有するように記載したが、実際には、故意に、面積、したがって容量値を異ならせて、変換器回路に生ずる寄生容量の効果を補償するよにすることができ。この点で、副表示素子C P2は1個のTFTスイッチP2に接続してゲート・ドレイン間容量を付加するのに対し、副表示素子C P1は2個のTFTスイッチP1およびP2に接続してゲート・ドレイン間およびゲート・ソース間の容量をそれぞれ付加することの利点が判る。

【0029】順次電荷再配分型のデジタル・アナログ変換器は、周知のものであり、従来、能動マトリックス表示装置以外で採用されていた。かかる変換器の例は、先に参照した Suarez 著の論文および Allen & Helberz 共著の書籍に記載されており、これらの刊行物を参照してその回路構成および回路動作に関する情報を紹介する。かかる回路の構成例を示した図3および回路動作における典型的な信号波形を示した図4を参照してその回路動作一般を簡単に説明する。この種の変換器回路は、3個のスイッチS1、S2およびS3並びに図示のように接続したほぼ等しい容量値を有する2個の容量素子C1およびC2からなっている。容量素子C1およびC2は、公称の容量値が等しいものとする。

【0030】デジタル・アナログ変換を行なうには、まず、スイッチS3を閉じて容量素子C2を放電するとともに、点V2の電圧を零にセットする。次いで、一定サイクルの期間スイッチS1およびS2が動作する。各サイクルの期間、回路の力端に電圧 $V_i(n)$ が印加され

る。この電圧は、二つの電圧値の一方をとり、変換すべきデジタル・データにおける順次のビットの状態を表わしている。このデジタル・データで最低位ビットLSBから始めて順次に変換器回路に提示する。デジタル・アナログ変換の各サイクルの期間には、まず、スイッチS1を閉じて容量素子C1が入力電圧レベルに充電されるようにする。次いで、スイッチS1を開き、スイッチS2を閉じて、2個の容量素子C1、C2間で電荷の分担が行なわれるようにする。電圧V1とV2とが均等化されると、スイッチS2を開いて再びそのサイクルが完結する。かかる変換の期間を図4にT2で示してある。

【0031】サイクルの数Nによってデジタル・アナログ変換の解像度すなわちビット数が決まる。変換の終端において、電圧V1およびV2は

【数1】

$$V_F = \sum_{n=1}^{Nb} V_i(n) \times \frac{2^{(n-1)}}{2^{(Nb)}}$$

なる式によって与えられることを示し得る電圧値Vとなる。デジタル入力ビットの時系列は順次に増大するこの漸数によって効率よく増大し、したがって、最終電圧値Vが変換器回路に供給されたデジタル・データに等価のアナログ値を表わしている。

【0032】こゝで、図2を再度参照するに、2個の副表示素子C P1およびC P2は変換器回路における2個の容量素子を構成している。TFTスイッチT1が図3におけるスイッチS1と同じ機能を果たすとともに、TFTスイッチT2は、放電用スイッチS3を除き、図3に示した変換器回路におけるすべての構成要素を含有しているものと見られる。しかしながら、副表示素子C P2の電圧は、なお、列導線電圧を適切なレベルに保持するとともに、TFTスイッチT1およびT2の両方を同時にオン状態にすることにより、簡単に放電させ、あるいは、リセットすることができる。かかる画素素子・変換器の回路構成を有する全解像度表示装置をアドレスするための適切な行駆動電圧波形を図5(a)に示すが、図5における V_{s1} 、 V_{s2} 、 V_{s3} および V_{s2} は、順次の4本の行導線18からなる典型的な駆動導線群に印加する電圧波形を表わすものである。これらの電圧波形は模式的に示してあり、目盛を付してはいない。この図は、列導線に印加する電圧波形V_iの例を図示したものである。この電圧波形例においては、各映像走査周期T1毎に2行の画素素子群をアドレスする。いわゆる走査線駆動技法を用いて駆動するものとするとともに、4ビットのデジタル・アナログ変換を画素素子群内で行ない、N_i = 4

とするものとする。

【0033】かかる表示装置の動作を説明するに当り、例として、図2に示した画素素子群におけるP行と画素素子のアドレスについて考察する。他の行の画素素子群も同じ態様で駆動するものとする。P行の画素素子群における表示素子の電圧は、各画素素子におけるTFTスイッチP1およびP2とともにオン状態になっているT1期間中にリセットされる。このことは、P行の画素素子群に接続されている行導線NおよびN+1を高電圧にするとともに各列導線を低ビットV0に対応した電圧に保持する行駆動回路によって達成する。このT1期間の終端においては、行導線N+1は、TFTスイッチT2をオフ状態にする低電圧に復帰する。デジタルデータ・アナログ変換はT1期間中に行なわれる。映像データの各ビットを表わす電圧は列導線上に順次に設定される。t1a期間中には、最低位ビット1を表わす電圧が列導線に印加され、t2a期間中には、ビット2を表わす電圧が列導線に印加され、以下同様となる。これらの各期間においては、行導線Nは、TFTスイッチT1をオン状態にするとともに副表示素子CP1を充電するために高電圧にする。これらの期間の中間の導線においては、行導線Nは低電圧となり、行導線N+1は高電圧となる。その結果として、TFTスイッチT2はオン状態となり、副表示素子CP1とCP2との間で電荷分担が生ずる。P+1行の画素素子群がリセットされている間に、P行の画素素子群におけるデジタル・アナログ変換の際の残る電荷分担の最終期間に相当する。各画素素子における容量素子すなわち副表示素子の電圧は、変位の終端においてほぼ等しくなり、列導線に印加したデジタル情報に等価のアナログ値に定まる。こゝで留意すべきこととして、かかる変換が完了した後においては、次のP+1行の画素素子群がアドレスされたときに生ずるように、TFTスイッチT2がさらに如何に作動しても、P行の画素素子における最終電圧値には影響しない。

【0034】このようにして、表示パネルにおける各行の画素素子群が順次に駆動されて、引続くフィールド期間毎にかゝる駆動動作が繰返される。

【0035】図5(a)に示した駆動法においては、2値のみの列導線電圧V0およびV1を用いたが、LC共振回路に必要なように正極性と負極性とで信号によって画素素子群をアドレスする場合には、それぞれ異なる値の列導線電圧V0およびV1を用いるのが望ましい。このことは、走査駆動形式で駆動する表示装置に用い得るようして列導線に印加する正負交変形態の電圧波形信号V₀として図5(b)に図示するとおりである。かかる電圧波形を用いれば、変換基準レベルからの最小電圧段差は同じ値に保持したまゝで、表示素子群に供給する電圧の範囲を増大させることができる。この種の電圧波形は、例えば、欧州特許公開公報E P-A- (09)1654号に

記載のものと同様に、復号器回路に接続されて電圧レベルV₀とV₁とを切替える列駆動回路25中のレベルシフト回路によって得られる。

【0036】副表示素子群の容量素子CP1の充電に用い得る時間は、デジタル・アナログ変換の解像度N₁と映像信号の縦走査周期P1とによって決まる。図5(a)に示した駆動法に關する限り、副表示素子電圧のリセットに用い得る周期TAは充電周期T₀の2倍に等しい。したがって、上述した表示装置については充電周期はつぎの式で与えられる。

$$T_A = T_{L_0} \cdot (4N_1 + 2)$$

【0037】PAL方式のテレビジョン表示に必要なように、映像線走査周期G4μsで4ビット変換を行ない、変換解像度N₁ = 4とすると、充電周期はほぼ3.6μsとなる。行および列の駆動信号を修正すれば、使用し得る充電時間を増大させることができる。上述の駆動法においては、各画素素子における第1TFTスイッチP1がオン状態にある間だけ、表示パネルの列導線上にデジタル情報が存在する必要がある。したがって、例えば表示パネルの次の行の画素素子群のためのデータを列導線群に供給するのに中間の期間を使用することができる。その場合、これら2行におけるデータの交換は、充電時間T₀に等しい時間だけ遅れた第2行の作動期間に適切に同期した時系列で該当する行導線にスイッチ信号を供給するようにすれば、並行して行なうことができる。2行の画素素子群を並行してアドレスすることにより、表示パネルにおける各行のアドレスに使用し得る時間を倍増させることができる。

【0038】次に、替わりの駆動を用いた実施例を図6を参照して説明するが、図6には、図5(a)の対応する電圧波形と比較しながら、典型的な電圧波形を模式的に示す。この駆動法では、同じ変換周期T₀の間に、行導線NおよびN+1とN+1およびN+2とをそれぞれ用いてP行およびP+1行の画素素子群をアドレスする。充電周期(t1a、t2a、t3aおよびt4a)の各期間中に、列導線群はP行の画素素子群の情報を伝送する。充電周期(t1b、t2b、t3bおよびt4b)の各期間中には、列導線上のデータはP+1行の画素素子群の情報である。この方法で表示パネルをアドレスすれば、充電時間T₀はつぎの値に増大する。

$$T_A = T_{L_0} \cdot (2N_1 + 2)$$

PAL方式表示パネルにおける4ビット変換については、この駆動法による充電周期が6.4μsとなり、また、走査線対駆動法以外にこの駆動法を用いる場合には、列駆動回路にライン・メモリを設けることが必要となる。

【0039】画素素子充電時間の上述した各式から、変換の解像度と利用可能な画素素子充電時間との間には直接の関係が存在することが得る。実際にテレビジョンに適用するには、少なくとも6ビットの解像度が望まし

13

く、高品位表示には8ビットもしくはそれ以上の解像度が必要である。上述の駆動法を用いるには、オン時の電流を増大させ、オフ時の電流を低減してTFTスイッチを高性能にする必要がある。

【0040】しかしながら、列導線に印加するデジタル・データ信号に用いる電圧レベルの段数を増大させれば、充電時間T₁を減少させずにデジタル・アナログ変換の解像度を増大させることができる。前述した実施例においては、入力データ信号における単一ビットの値を表すために一行の画素素子群をアドレスする際、10 個々に分離した2段階の列導線電圧V₀とV₁もしくはV₀…とV₁…を用いてある。列導線電圧レベルを4段階に増やせば、変換の解像度を2の4乗だけ増大させることができる。必要な4段階の電圧レベルの値は、2レベルのデータ信号に用いた電圧レベルから算出することができる。2段階の電圧レベルに必要な列導線電圧がV₀とV₁とである場合を取上げると、4電圧レベルの列導線に必要な電圧値はつぎようになる。

V₀

$$V_0 + (V_1 - V_0) / 2^k$$

V₁

$$V_1 + (V_1 - V_0) / 2^k$$

この場合には4段階の列導線電圧レベルが存在し得るので、これらの列導線電圧レベルのいずれかを画素素子デジタル・アナログ変換の各サイクル毎に列駆動回路によって列導線に印加するのかわ2ビットの情報によって決める必要がある。画素素子内での4ビット変換には列駆動回路に8ビットのデータが必要であるから、このことは変換の総合解像度の倍増と一致する。列導線電圧レベルの段数をさらに増大させることも可能である。一般に、2^k段階の列導線電圧レベルを用いた場合には、総合解像度はN₁・kビットとなる。しかしながら、電圧レベルの段数が増える程、列駆動回路の機能がそれだけ複雑になる。

【0041】デジタル映像信号によって作動する従来の表示装置におけるように列駆動回路で行なうよりも、上述したようにして画素素子群で所要のデジタル・アナログ変換を行なうときの結果として、従来の表示装置に比べて列駆動回路の構成がかなり簡単になる。かかるデジタル・アナログ変換を達成するために順次電荷再配分型デジタル・アナログ変換器を備えるようにする画素素子回路の変更には、各画素素子毎に1個の余分のTFTスイッチと個々に分離した2個の容量性層表示素子を作るための表示素子の分割とが必要となるに過ぎず、かかる必要事項は、両方とも、表示パネルの製作時に簡単に達成し得るものである。

【0042】列駆動回路は2段階もしくはそれより多い段階の電圧レベルからなるデジタル信号を列導線に供給する必要があるので、その回路構成は純粋なデジタル回路とすることができる。列駆動回路を表示パネルと

14

とは分離して製造する場合に、列駆動回路の簡単さとその回路動作の純粋なデジタル性とはなお幾多の利点を生ずるにも拘わらず、画素素子群の行列配置および列駆動回路の両方を製造する共通の処理技術を用いた表示パネル上の回路の集積化が、これによって極めて容易になる。

【0043】行駆動回路によって行導線に供給する信号の性質は、従来のTFT表示パネルにおけるものとは相違しており、その信号の形成には、典型的には従来型のデジタル・シフトレジスタ回路よりなる従来型の行駆動回路に変更を施す必要がある。しかしながら、その回路変更は、さらにデジタル回路を用いて簡単に行なうことができる。

【0044】行駆動回路21および列駆動回路25は、ともに、TFTを用いて構成することができ、画素素子のTFT並びに行および列のアドレス導線18および19と同じ基板上に集積化するのが好適であり、かかるTFT群および各駆動回路は、例えば多結晶シリコンのTFT群を用いた共通の処理過程によって同時に形成する。

【0045】表示装置に対する応用には、情報がデジタル形式で存在する。例えば、コンパクト・ディスク情報(CD-1)の技術分野あるいはデータグラフィック・ディスプレイの分野、さらには、アナログ・デジタルいずれかの形で供給された情報を表示する表示システムへの応用が含まれる。集積化した駆動回路を備えた表示装置においては、従来のアナログ回路よりも、上述したように完全なデジタル回路を補充する方が容易と考えられる。

【0046】上述した表示装置としては、液晶表示装置を取上げたが、他の電気光学材料、例えば、電界発光材料あるいは電界発色材料も用い得るものと考えられる。

【0047】本発明につき上述したところからすれば、他の変形例も当業者には明らかである。かかる変形例には、映像マトリックス表示装置の技術分野で既知の他の特徴、および、既に述べたところに替え、あるいは、加えて採用し得る特徴も含まれる。

【0048】以上の説明から明らかなように、本発明によれば、デジタル映像信号をアナログ化して表示する表示素子自体にデジタル・アナログ変換の機能を付与するなどして行列駆動の表示素子群を駆動する回路を完全にデジタル化し、表示パネルと同一基板上に集積化するとともに表示装置全体を純デジタル化して製造容易にし得る、という格別の効果を挙げることができる。

【図面の簡単な説明】

【図1】本発明による能動マトリックス液晶表示装置の構成例を模式的に示すブロック図である。

【図2】図1に示した表示装置の表示パネルにおいてそれぞれ順次電荷再配分型デジタル・アナログ変換器をなす画素素子の典型的行列配置を模式的に示す回路図であ

る。

【図3】順次電荷再配分型デジタル・アナログ変換器の回路構成を模式的に示す回路図である。

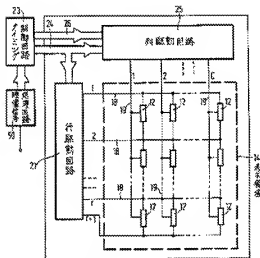
【図4】同じくそのデジタル・アナログ変換器の動作を説明するために当該変換器に加える信号波形の例を模式的に示す信号波形図である。

【図5】(a)は第1駆動案を用いて図1に示した表示装

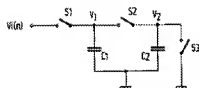
※ 図の表示パネルにおける行および列の導線にそれぞれ加える信号波形の例、(b)は同じくその第1駆動案を用いて図1に示した表示装置の表示パネルにおける列導線に加える信号波形の例をそれぞれ示す信号波形図である。

【図6】第2駆動案を用いて図1に示した表示装置の表示パネルにおける行および列の導線にそれぞれ加える信号波形の例を示す信号波形図である。

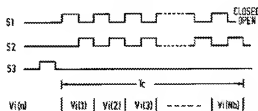
【図1】



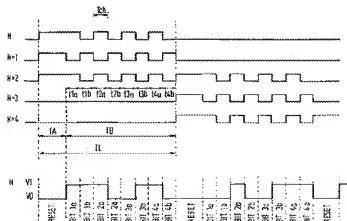
【図3】



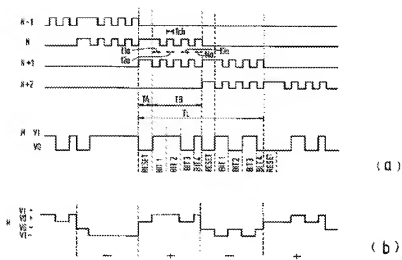
【図4】



【図6】



【图5】



(57)Abstract:

PURPOSE: To facilitate manufacture by completely digitizing a circuit for driving a display element group and integrating it on the same substrate as a display panel.

CONSTITUTION: The active matrix display device has the matrix arrangement of picture elements 12 and has capacitive display elements driven by row and column driving circuits, liquid crystal elements, for example, through row and column conductors 18 and 19 in the matrix arrangement. The column driving circuit supplies multiple bit digital data signals to the column conductor 19. The respective picture elements are constituted as a sequential charge redistribution digital analog converter circuit supplying analog voltage required for the display elements. The converter circuit is provided with two switch elements T1 and T2, two capacitive elements obtained by dividing a TFT switch and the respective display elements into two auxiliary display elements CP1 and CP2. The respective row conductors 18 are shared between two adjacent picture element groups.